

Elektrik-Elektronik Mühendisliği Bölümü / Mühendislik ve Mimarlık Fakültesi / Lisans (%100 İngilizce)						
Ders Kodu	Ders Adı	Teorik	Uygulama	Laboratuvar	Yerel Kredi	AKTS
EEE421	VHDL'e Giriş	3,00	0,00	0,00	3,00	6,00
Ders Detayı						
Dersin Dili	: İngilizce					
Dersin Seviyesi	: Lisans					
Dersin Tipi	: Seçmeli					
Ön Koşullar	: Yok					
Dersin Amacı	: Bu dersin temel amacı, bir donanım tanımlama dili olan VHDL kullanılarak sayısal sistemlerin tasarımını sağlamaktır.					
Dersin İçeriği	: FPGA yapısı, VHDL tasarım temelleri, ModelSim ve Quartus programları, VHDL nesnelere ve veri tipleri, VHDL dilinin operatörleri, Kombinasyonel devre tasarımı, Ardışıl devre tasarımı, Paketler, bileşenler, fonksiyonlar, prosedürler, Dosya ve hafıza işlemleri, Yapısal devre tasarımı, Test bench yapısı, VHDL dilinde paket ve kütüphane oluşturma					
Dersin Kitabı / Malzemesi / Önerilen Kaynaklar	: (1) Douglas Perry - VHDL Programming By Example-Mcgraw-Hill (2002) (2) Fundamentals of Digital Logic with VHDL Design, Stephen Brown and Zvonko Vranesic, Mc-Graw-Hill (2nd edition).					
Planlanan Öğrenme Etkinlikleri ve Öğretim Yöntemleri	: Teorik dersler, uygulamalı dersler ve projeler					
Ders İçin Önerilen Diğer Hususlar	: -					
Dersi Veren Öğretim Elemanları	: Prof. Dr. Merih Palandöken					
Dersi Veren Öğretim Elemanı Yardımcıları	: -					
Dersin Verilişi	: Yüz yüze					
En Son Güncelleme Tarihi:	:					

Ders Öğrenme Çıktıları
Bu dersi tamamladığında öğrenci :
1 FPGA'nın yapısını öğrenmek
2 Kombinasyonel devre tasarımı geliştirebilmek
3 Ardışıl devre tasarımı geliştirebilmek
4 VHDL operatörlerini öğrenebilmek
5 Hafıza elemanları geliştirebilmek
6 Test bench'ler oluşturabilmek
7 Çeşitli soyutlama seviyelerinde karmaşık sayısal devreleri sentezleyebilmek

Ön Koşullar						
Ders Kodu	Ders Adı	Teorik	Uygulama	Laboratuvar	Yerel Kredi	AKTS

Haftalık Konular ve Hazırlıklar						
	Teorik	Uygulama	Laboratuvar	Hazırlık Bilgileri	Öğretim Metodları	Dersin Öğrenme Çıktıları
1.Hafta	*FPGA'nın yapısı ve donanım tanımlama diline giriş					
2.Hafta	*VHDL tasarım temelleri, ModelSim ve Quartus uygulamaları					
3.Hafta	*VHDL nesnelere ve veri tipleri					
4.Hafta	*VHDL operatörleri					
5.Hafta	*Kombinasyonel devre tasarımı					
6.Hafta	*Kombinasyonel devre tasarımı					
7.Hafta	*Ardışıl devre tasarımı					
8.Hafta	*Ardışıl devre tasarımı					
9.Hafta	*Paketler, bileşenler, fonksiyonlar ve prosedürler					
10.Hafta	*Dosya ve hafıza işlemleri					
11.Hafta	*Test bench yapısı					
12.Hafta	*Simülasyon çeşitleri					
13.Hafta	*Yapısal devre tasarımı					
14.Hafta	*VHDL dilinde paket ve kütüphane oluşturma					

Değerlendirme Sistemi %
1 Final : 40,000

