

Ders Kodu	Ders Adı	Teorik	Uygulama	Laboratuvar	Yerel Kredi	AKTS
EEE310	ELEKTROMEKANİK ENERJİ DÖNÜŞÜMÜNÜN TEMELLERİ II	2,00	2,00	0,00	4,00	6,00
Ders Detayı						
Dersin Dili	: İngilizce					
Dersin Seviyesi	: Lisans					
Dersin Tipi	: Seçmeli					
Ön Koşullar	: Yok					
Dersin Amacı	: Bu dersin amacı herhangi bir algoritmayı veya dizayn spesifikasyonlarını temel alarak Xilinx Webpack'de sentezlenebilir bir VHDL kodu yazabilmektir. Ayrıca dizaynları FPGA kartına eşleştirmek de bir amaçtır.					
Dersin İçeriği	: Mantık sistemlerinin gözden geçirilmesi, VHDL konseptleri ve örnekleri, eş zamanlı ifadeler, ardışık ifadeler, ardışık devre dizayn prensipleri, sonlu durumlu makineler, aşamalı dizayn, saat derivasyonu					
Dersin Kitabı / Malzemesi / Önerilen Kaynaklar	: 1. "Circuit Design and Simulation with VHDL", 2nd edition, by Volnei A. Pedroni, MIT Press. 2. "RTL Hardware Design Using VHDL: Coding for Efficiency, Portability and Scalability", Pong Chu, Wiley. 3. "Fundamentals of Digital and Computer Design with VHDL, by Richard Sandige and Michael Sandige, McGraw Hill.					
Planlanan Öğrenme Etkinlikleri ve Öğretme Yöntemleri	: Teorik ders içerikleri Ödevler Soru çözme oturumları Pratik deneyler					
Ders İçin Önerilen Diğer Hususlar	: VHDL related course materials should be included.					
Dersi Veren Öğretim Elemanları	: Dr. Öğr. Üyesi Hüseyin Yeşilyurt					
Dersi Veren Öğretim Elemanı Yardımcıları	: -					
Dersin Verilişi	: yüzyüze					
En Son Güncelleme Tarihi:	:					

Ders Öğrenme Çıktıları

Bu dersi tamamladığında öğrenci :

1 Temel VHDL kavramları
2 VHDL yapıları
3 Eş zamanlı ve ardışık ifadeler
4 Kombinasyonel devre tasarım prensipleri
5 Ardışık devre tasarım prensipleri
6 Sonlu durum makinesi
7 Hiyerarşik tasarım
8 Kayıt transfer metodları

Ön Koşullar

Ders Kodu	Ders Adı	Teorik	Uygulama	Laboratuvar	Yerel Kredi	AKTS
-----------	----------	--------	----------	-------------	-------------	------

Haftalık Konular ve Hazırlıklar						
	Teorik	Uygulama	Laboratuvar	Hazırlık Bilgileri	Öğretim Metodları	Dersin Öğrenme Çıktıları
1.Hafta	*Introduction Digital Systems: review of sequential and combinational logic circuits					
2.Hafta	*Class overview: Introduction to ISE environment					
3.Hafta	*Basic VHDL concepts and examples					
4.Hafta	*VHDL constructs					
5.Hafta	*Concurrent Statements					
6.Hafta	*Sequential Statements					
7.Hafta	*Synthesizable VHDL					
8.Hafta	*Combinational Circuit Design Principles					
9.Hafta	*Sequential Circuit Design Principles I					
10.Hafta	*Sequential Circuit Design Principles II					
11.Hafta	*Finite State Machines					
12.Hafta	*Hierarchical Design					
13.Hafta	*Register Transfer Methodology					
14.Hafta	*Clocking and Synchronization					

Değerlendirme Sistemi %
1 Vize : 30,000
2 Laboratuvar : 20,000
3 Final : 50,000

AKTS İş Yüğü			
Aktiviteler	Sayı	Süresi(Saat)	Toplam İş Yüğü
Vize / Midterms	1	3,00	3,00
Final / Final	1	3,00	3,00
Derse Katılım / Attending lectures	15	3,00	45,00
Laboratuvar / Laboratory	9	2,00	18,00
Ders Öncesi Biresysel Çalışma / Individual study before lecture	15	1,00	15,00
Ders Sonrası Biresysel Çalışma / Individual study after lecture	15	1,00	15,00
Ara Sınav Hazırlık / Preparation for midterm	1	6,00	6,00
Final Sınavı Hazırlık / Preparation for final	1	8,00	8,00
Teorik Ders Anlatım / Theoretical Lecturing	15	3,00	45,00
Uygulama / Pratik / Application / Practice	15	2,00	30,00
			Toplam : 188,00
			Toplam İş Yüğü / 30 (Saat) : 6
			AKTS : 6,00

Program Öğrenme Çıktısı İlişkisi											
	P.Ç. 1	P.Ç. 2	P.Ç. 3	P.Ç. 4	P.Ç. 5	P.Ç. 6	P.Ç. 7	P.Ç. 8	P.Ç. 9	P.Ç. 10	P.Ç. 11
Ö.Ç. 1	1	1	1	1	1	5	4	3	4	3	2
Ö.Ç. 2	1	1	1	1	3	4	5	5	5	3	2
Ö.Ç. 3	5	3	3	1	1	1	1	4	4	4	3
Ö.Ç. 4	1	4	4	1	1	4	3	3	2	4	4
Ö.Ç. 5	1	1	1	1	4	4	3	3	4	2	5
Ö.Ç. 6	4	1	1	1	1	1	3	3	3	4	4
Ö.Ç. 7	2	1	1	1	1	1	2	3	2	2	3
Ö.Ç. 8	1	1	1	1	1	1	3	3	2	2	1